

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :
Atsushi YUSA :
Serial No.: [NEW] : Attn: Applications Branch
Filed: July 21, 2003 : Attorney Docket No.: OKI.553
For: CIRCUIT FOR DETECTING ABNORMAL OPERATION OF MEMORY AND
INTEGRATED CIRCUIT AND METHOD FOR DETECTING ABNORMAL
OPERATION

CLAIM OF PRIORITY

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Applicant, in the above-identified application, hereby claims the priority date
under the International Convention of the following Japanese application:

Appln. No. 2002-218045 filed July 26, 2002

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC



Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: July 21, 2003



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 7月26日

出 願 番 号
Application Number:

特願2002-218045

[ST.10/C]:

[JP2002-218045]

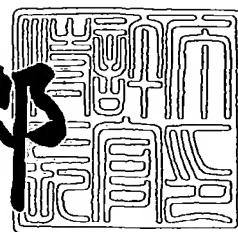
出 願 人
Applicant(s):

沖電気工業株式会社

2002年10月11日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2002-3079051

【書類名】 特許願

【整理番号】 KT000441

【提出日】 平成14年 7月26日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 G06F 12/00

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社
社内

【氏名】 遊佐 敦史

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100095957

【弁理士】

【氏名又は名称】 亀谷 美明

【電話番号】 03-5919-3808

【選任した代理人】

【識別番号】 100096389

【弁理士】

【氏名又は名称】 金本 哲男

【電話番号】 03-3226-6631

【選任した代理人】

【識別番号】 100101557

【弁理士】

【氏名又は名称】 萩原 康司

【電話番号】 03-3226-6631

【手数料の表示】

【予納台帳番号】 040224

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707549

【包括委任状番号】 9707550

【包括委任状番号】 9707551

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリの異常動作検出回路、集積回路、及び異常動作検出方法

【特許請求の範囲】

【請求項 1】 メモリの出力データを所定時間遅延させ遅延データとして出力する遅延回路と、

前記メモリの前記出力データと前記遅延データとを比較して、不一致の場合に不一致信号を出力する比較回路と、

を含むことを特徴とするメモリの異常動作検出回路。

【請求項 2】 さらに、前記不一致信号に応答して、不一致が発生した際のアドレス情報を保持する回路を含むことを特徴とする請求項 1 に記載のメモリの異常動作検出回路。

【請求項 3】 前記遅延回路は、前記メモリの前記出力データの遅延時間が調整可能であることを特徴とする請求項 1、または 2 のうちのいずれか 1 項に記載のメモリの異常動作検出回路。

【請求項 4】 前記メモリが、フラッシュメモリであることを特徴とする請求項 1、2、または 3 のうちのいずれか 1 項に記載のメモリの異常動作検出回路。

【請求項 5】 請求項 1、2、3、または 4 のうちのいずれか 1 項に記載のメモリの異常動作検出回路を含むことを特徴とする集積回路。

【請求項 6】 メモリの出力データを所定時間遅延させ、遅延させた出力データと前記メモリの前記出力データとを比較し、その不一致を検出することによりメモリの異常動作を検出することを特徴とするメモリの異常動作検出方法。

【請求項 7】 さらに、前記不一致を検出したときのメモリのアドレス情報を保持することを特徴とする請求項 6 に記載のメモリの異常動作検出方法。

【請求項 8】 さらに、前記遅延させた出力データの遅延時間を調整することを特徴とする請求項 6、または 7 のうちのいずれか 1 項に記載のメモリの異常動作検出方法。

【請求項 9】 前記メモリが、フラッシュメモリであることを特徴とする請求項 6、7、または 8 のうちのいずれか 1 項に記載のメモリの異常動作検出方法

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、マイコン等の集積回路等に内蔵されるメモリの、アクセススピードなどの異常動作を検出する技術に関する。

【0002】

【従来の技術】

マイコン等の集積回路には、フラッシュメモリなどを内蔵したものがある。メモリを内蔵した集積回路は、マスクROMをフラッシュメモリなどに置き換え、データの書き換えや消去のための制御回路が付加されている。このような従来の集積回路には、書き込まれたデータの信頼性を継続的にチェックする方法は存在しなかった。

【0003】

【発明が解決しようとする課題】

しかしながら、フラッシュメモリなどを内蔵する集積回路においては、データ書き換え時のライト・ディスタ urb、データ読み出し時のリード・ディスタ urb、または、データ・リテンション等の現象によって、書き込まれたデータが変化してしまうことがある。また、データが変化してしまうことがなくても、メモリのアドレス入力からデータ出力までの時間、即ち、メモリのアクセスタイムが著しく低下することがある。アクセスタイムが低下すると、マイコン等の集積回路の動作スピードにメモリのデータ出力が間に合わず、その集積回路が誤動作することになる。特に、マイコンなどで動作プログラムの記憶用にフラッシュメモリを使用している場合、フラッシュメモリからの出力がほんの1ビット誤っただけでそのマイコンが正常に動作しなくなる。このため、プログラム記憶用のメモリは、その信頼性の確保に多大なコストを必要としていた。

【0004】

メモリからの出力の誤りを、訂正符号 (Error Correction Code; ECC) を使って補正することも考えられる。しかしこの場合には、データ用のビットの他

に補正のためのパリティビットが必要である。そして、場合によっては実際に使用するプログラム容量の1.5倍の記憶容量を必要とすることになる。これではチップサイズが増大し、コスト増となってしまう。しかも、同一アドレスにおける2ビット以上のデータ誤りを訂正することはできない。

【0005】

そこで本発明は、メモリから誤って出力されたデータによりマイコンなどの集積回路が誤動作を起こす前に、メモリの異常動作を検出して、集積回路の信頼性を向上するための、メモリの異常動作検出回路、これを含んだ集積回路、及び異常動作検出方法を提供することを目的とする。

【0006】

【課題を解決するための手段】

上記目的を達成するための本発明のメモリの異常動作検出回路は、メモリの出力データを所定時間遅延させ遅延データとして出力する遅延回路と、メモリの出力データと遅延データとを比較して、不一致の場合に不一致信号を出力する比較回路と、を含むことを特徴とする。

【0007】

このような構成により、メモリが内蔵された集積回路の異常動作が、集積回路が誤動作する前に検出できる。

【0008】

本発明のメモリの異常動作検出回路は、上記構成にさらに、不一致信号に応答して、不一致が発生した際のアドレス情報を保持する回路を含んでもよい。不一致が発生した際のアドレス情報を保持する回路により、正常動作への復帰が迅速になる。

【0009】

上記いずれかの異常検出回路における遅延回路は、メモリの出力データの遅延時間が調整可能であってもよい。このような構成により、集積回路に内蔵されるメモリの性能のばらつきを調整でき、集積回路製品の良品の歩留まりの向上が図れる。

【0010】

そして、上記目的を達成するための本発明のメモリの異常動作検出方法は、メモリの出力データを所定時間遅延させ、遅延させた出力データとメモリの出力データとを比較し、その不一致を検出することによりメモリの異常動作を検出することを特徴とする。

【0011】

このような構成により、メモリが内蔵された集積回路の異常動作が、集積回路が誤動作する前に検出できる。

【0012】

また、本発明のメモリの異常動作検出方法は、上記構成でさらに、不一致を検出したときのメモリのアドレス情報を保持してもよい。不一致が発生した際のアドレス情報を保持することにより、正常動作への復帰が迅速になる。

【0013】

上記いずれかの異常検出方法における遅延手段は、メモリの出力データの遅延時間の調整手段をさらに含んでもよい。このような構成により、集積回路に内蔵されるメモリの性能のばらつきを調整でき、集積回路製品の良品の歩留まりの向上が図れる。

【0014】

本発明におけるメモリには、例えばフラッシュメモリが挙げられるが、これに限定されるものではない。

【0015】

【発明の実施の形態】

以下に、本発明のいくつかの実施の形態を、図面を用いて説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

【0016】

(第1の実施の形態)

本発明の第1の実施の形態の構成について、図1を用いて説明する。図1は、本発明の第1の実施の形態の構成を示すブロック回路図である。CPU100からのアドレス信号122は、フラッシュメモリ101のアドレス入力端子に入力

される。そして、フラッシュメモリ101内の入力されたアドレスに格納されるデータは、データ信号123として、CPU100のデータ入力端子、第1のデータラッチ103の入力端子D、遅延回路102の入力端子にそれぞれ入力される。遅延回路102に入力されたデータ信号123は、所定時間遅延されて遅延回路出力124として出力され、第2のデータラッチ104の入力端子Dに入力される。

【0017】

そして、第1のデータラッチ103のデータラッチ信号125は、比較器106の一方の入力端子Aに入力され、第2のデータラッチ104のデータ出力、即ち遅延データラッチ信号126は、比較器106の他方の入力端子Bに入力される。

【0018】

一方、CPU100からのラッチ信号121は、第1のデータラッチ103のラッチ信号入力Gと、第2のデータラッチ104のラッチ信号入力Gと、比較器106の出力制御端子OEにそれぞれ入力される。データラッチ信号125と遅延データラッチ信号126とは、ラッチ信号121のH区間でラッチ信号121の立ち上がり時にラッチした値をそれぞれ保持する。また、ラッチ信号121のL区間では、データラッチ信号125と遅延データラッチ信号126とは、その時のデータ信号123と遅延回路出力124とを、それぞれスルーで出力する。

【0019】

比較器106は、出力制御端子OE (Outlet Enable) に入力されるラッチ信号121が立ち上がるタイミング毎に、入力A、Bの信号が等しければ論理信号”L”を、入力A、Bの信号が等しくなければ論理信号”H”を、不一致信号127として出力する。そして、比較器106からの不一致信号127は、D-FF107の入力端子CKに入力される。D-FF107の入力端子Dには、電源VDD110からの電源128が接続され、D-FF107の出力Qからは、異常を検出したときに状態”H”となる異常検出信号130が出力され、外部出力端子108に接続される。また、D-FF107のリセット入力Rには、外部入力端子109からのリセット信号129が接続され、リセット信号129が外

部から入力されると、異常検出信号130は状態”L”に戻る(図1)。

【0020】

次に、図1～図3を用いて第1の実施の形態の動作を説明する。図2は、第1の実施の形態において、フラッシュメモリのデータ信号出力が正常な状態であるときのタイミングチャートであり、図3は、第1の実施の形態において、フラッシュメモリのデータ信号出力が途中で異常を示したときのタイミングチャートである。

【0021】

フラッシュメモリ101は、 t_0 を起点とするCPU100からのアドレス信号122を受けて、ある時間(アクセスタイム; $(t_1 - t_0)$)の後、 t_1 のタイミングでデータ信号123を出力する。CPU100は、データ信号123のデータを、ラッチ信号121が”H”になるタイミング t_3 で取り込み、CPU100内でそのデータを、所定のプログラムに基づいて処理する(図2)。

【0022】

データ信号123は、遅延回路102で $(t_2 - t_1)$ の時間遅延され、遅延回路出力124となる。データ信号123と、遅延回路出力124は、それぞれ第1のデータラッチ103と、第2のデータラッチ104を経て、比較器106で比較される。ラッチ信号121が立ち上がって”H”になるタイミング t_3 で一致していれば、不一致信号127は、”L”のままである(図2)。

【0023】

しかし、フラッシュメモリ101のアクセスタイムに遅れが生じ、アドレス信号122を受けてタイミング t_4 でデータ信号125が出力されるはずが、タイミング t_5 に遅れた場合、遅延回路102は、ラッチ信号121が”H”に立ち上がるタイミング t_6 までにデータを出力できず、比較器106で不一致となつて、不一致信号127が”H”となる(図1、図3)。

【0024】

不一致信号127が”H”となる立ち上がりエッジがあると、D-FF107は、電源VDD110に接続された入力Dの”H”データを取り込み、出力Qの異常検出信号130を、状態”L”から”H”にする。そして、D-FF107

の出力Qと接続された外部出力端子108の出力は状態”L”から”H”に変化し、外部にフラッシュメモリのアクセスタイムが変化した（遅れた）こと、即ち、フラッシュメモリ101の異常動作を通知する（図1、図3）。

【0025】

フラッシュメモリ101の異常動作が検出されたときは、音声や画像、動画によるアラームを出す、バックアップを促す、メンテナンスを行うなど、外部で何らかの処理が行われるようにすればよい。外部出力端子108の出力状態を”H”から”L”に戻す場合は、外部入力端子109に入力する信号を、状態”L”から”H”にすることで、D-FF107はリセットされる（図1）。

【0026】

以上示したように、第1の実施の形態によれば、CPU内部で使用するタイミングではデータ信号のアクセススピードが足りている状態ではあるが、一定の遅延をデータ信号に与え、遅延前と遅延後のデータを比較して不一致が発生するかどうかを常に監視する。即ち、CPUがデータ信号を取り込むタイミングに対して、遅延分のマージンが常に確保されているかをチェックすることにより、初期の状態ではマージンが十分あったにもかかわらず不一致が発生した場合は、フラッシュメモリが何らかの理由でアクセススピードが低下し始めたことが検出できる。従って、更にアクセススピードが低下して、フラッシュメモリを内蔵したマイコン等の集積回路が、誤ったデータ信号によって誤動作を起こす前に、異常が発生したことを知ることができる。

【0027】

（第2の実施の形態）

本発明の第2の実施の形態の構成について、図4を用いて説明する。図4は、本発明の第2の実施の形態の構成を示すブロック回路図である。第1の実施の形態と異なるところは、アドレスラッチ205を設けた点と、外部出力端子108に接続したD-FF207の出力Qを、割り込み制御回路211に接続している点である。以下に、第1の実施の形態と同様の部分は説明を省略し、異なる部分について説明する。

【0028】

CPU200からのアドレス出力222は、アドレスラッチ205のDラッチに接続される。また、ラッチ信号221は、2入力NAND素子213の一端に入力される。D-FF207の出力Qは、割り込み制御回路211と、インバータ214の入力端子にそれぞれ接続される。インバータ214の出力231は、2入力NAND素子213の他端に入力される。2入力NAND素子213の出力232は、アドレスラッチ205のラッチ信号入力Gへ接続される。そして、アドレスラッチ205のラッチ出力233は、データバス212へ接続され、割り込み制御回路211からのリセット信号229は、D-FF207のリセット入力Rに接続される(図4)。

【0029】

次に、図4及び図5を用いて第2の実施の形態の動作を説明する。図5は、第2の実施の形態において、フラッシュメモリのデータ信号出力が途中で異常を示したときのタイミングチャートである。

【0030】

D-FF207の出力Qから異常検出信号230が出力されるまでの動作は、第1の実施の形態と同様であるので説明を省略する。この異常検出信号230が状態“H”になると、割り込み信号として割り込み制御回路211へ入力され、予めプログラムされた割り込み処理が、CPU200において実行される。割り込み処理としては、異常を通知する、再度メモリを書き込む、などが選択できる。

【0031】

割り込み処理中に不一致となったアドレスを参照する場合には、ラッチ信号221と、異常検出信号230の反転信号231とのNAND出力232の立ち上がりでアドレスラッチ205にラッチされたアドレスが、異常検出信号230が状態“H”の期間はそのままラッチされた状態となるので、データバス212を経由して読み出すことができる。割り込み処理の実行が終了すると、割り込み制御回路211からリセット信号229が出力され、D-FF207がリセットされて異常検出信号230の状態が、“H”から“L”に戻る(図4、図5)。

【0032】

以上示したように、第2の実施の形態によれば、データのアクセススピードにマージン不足が発生した場合に、外部出力端子へ信号出力する他に、マイコン等の集積回路の内部信号として処理することができる。また、マージン不足となったデータのアドレスを保持し、CPUにより読み出すことが可能であるため、CPUの誤動作を引き起こす前にそのアドレスのデータの再書き込みなどを自動的に実行できる。

【0033】

第2の実施の形態では、フラッシュメモリの再書き込み等の処理でアクセススピードの回復が可能な場合は、外部からの処理を必要としないので、結果として内蔵フラッシュメモリの信頼性の向上を図ることができる。

【0034】

また、第1、第2の実施の形態では、遅延回路の遅延時間は固定していたが、遅延回路内部で遅延を調整できる回路にすることで、異常と判定されるアクセススピードマージンを調整することができる。これにより、内蔵するフラッシュメモリの出来によるばらつきが考慮でき、製品の歩留まりの向上が図れる。

【0035】

以上、添付図面を参照しながら本発明のメモリの異常動作検出回路、及び、異常動作検出方法の好適な実施の形態について説明したが、本発明はこれらの例に限定されない。いわゆる当業者であれば、特許請求の範囲に記載された技術的思想の範疇内において各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

【0036】

【発明の効果】

本発明により、メモリから誤って出力されたデータによりマイコンなどの集積回路が誤動作を起こす前に、メモリの異常動作が検出できる、メモリの異常動作検出回路、これを含んだ集積回路、及び、異常動作検出方法が提供でき、集積回路の信頼性の向上が図れた。

【図面の簡単な説明】

【図1】

図1は、第1の実施の形態の構成を示すブロック回路図である。

【図2】

図2は、第1の実施の形態において、フラッシュメモリのデータ信号出力が正常な状態であるときのタイミングチャートである。

【図3】

図3は、第1の実施の形態において、フラッシュメモリのデータ信号出力が途中で異常を示したときのタイミングチャートである。

【図4】

図4は、第2の実施の形態の構成を示すブロック回路図である。

【図5】

図5は、第2の実施の形態において、フラッシュメモリのデータ信号出力が途中で異常を示したときのタイミングチャートである。

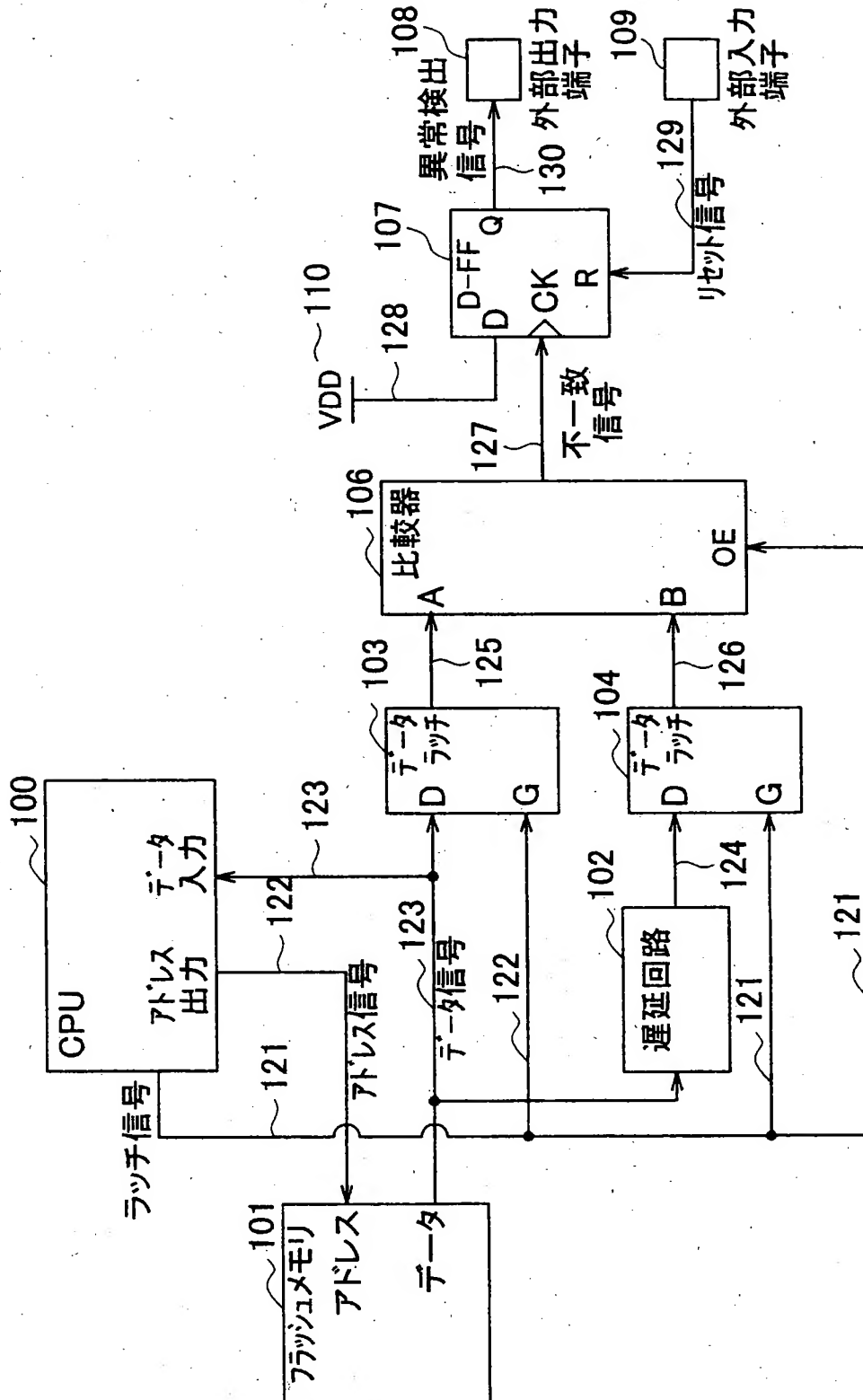
【符号の説明】

| | |
|----------|-----------|
| 100, 200 | CPU |
| 101, 201 | フラッシュメモリ |
| 102, 202 | 遅延回路 |
| 103, 203 | 第1のデータラッチ |
| 104, 204 | 第2のデータラッチ |
| 106, 206 | 比較器 |
| 107, 207 | D-FF |
| 108 | 外部出力端子 |
| 109 | 外部入力端子 |
| 110 | VDD |
| 205 | アドレスラッチ |
| 211 | 割り込み制御回路 |
| 212 | データバス |
| 213 | 2入力NAND素子 |
| 214 | インバータ |
| 121, 221 | ラッチ信号 |

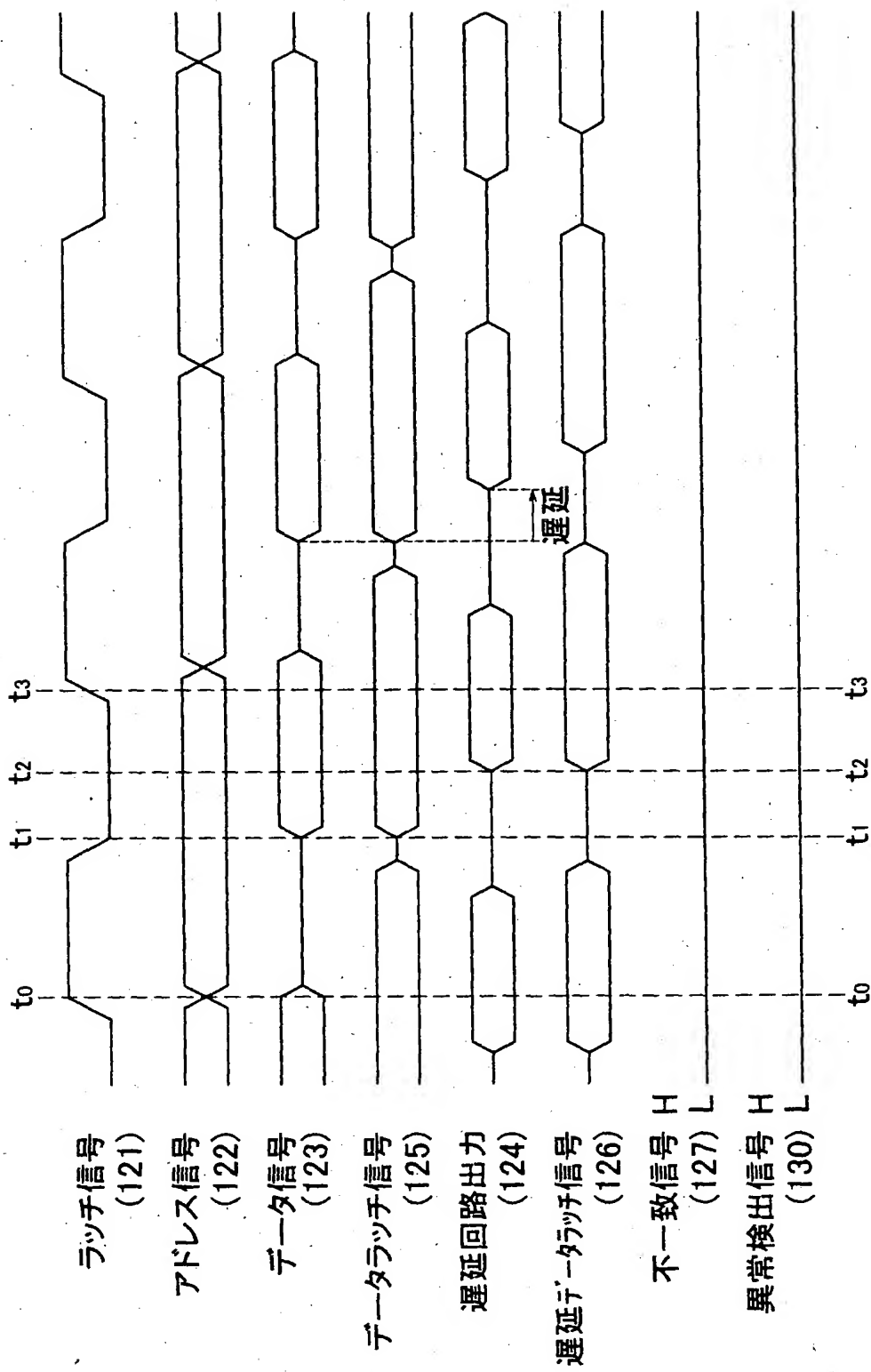
| | |
|----------|-------------|
| 122, 222 | アドレス信号 |
| 123, 223 | データ信号 |
| 124, 224 | 遅延回路出力 |
| 125, 225 | データラッチ信号 |
| 126, 226 | 遅延データラッチ信号 |
| 127, 227 | 不一致信号 |
| 128, 228 | 電源 |
| 129, 229 | リセット信号 |
| 130, 230 | 異常検出信号 |
| 231 | 異常検出信号の反転信号 |
| 232 | NAND出力 |
| 233 | アドレスラッチ出力 |

【書類名】 図面

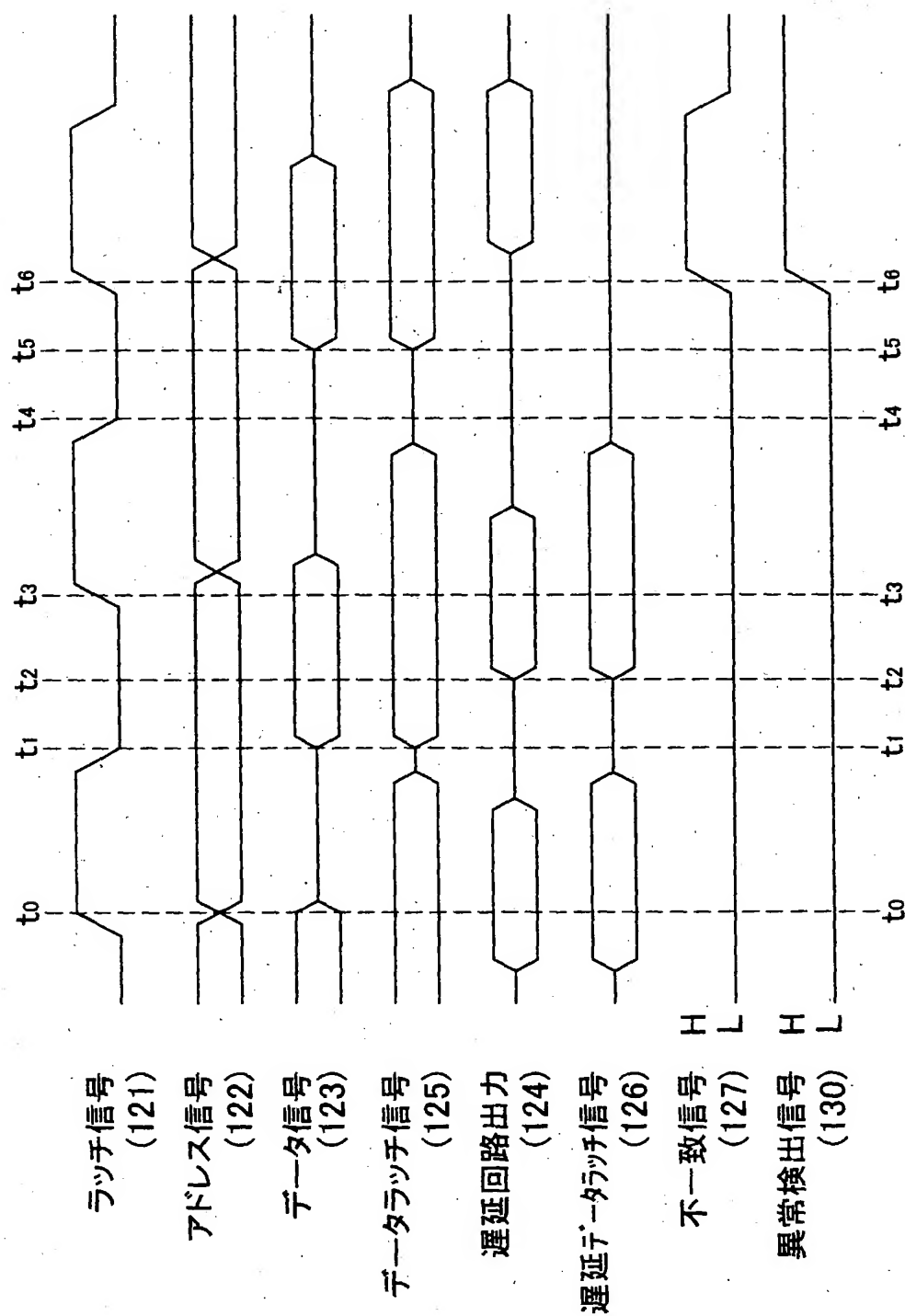
【図 1】



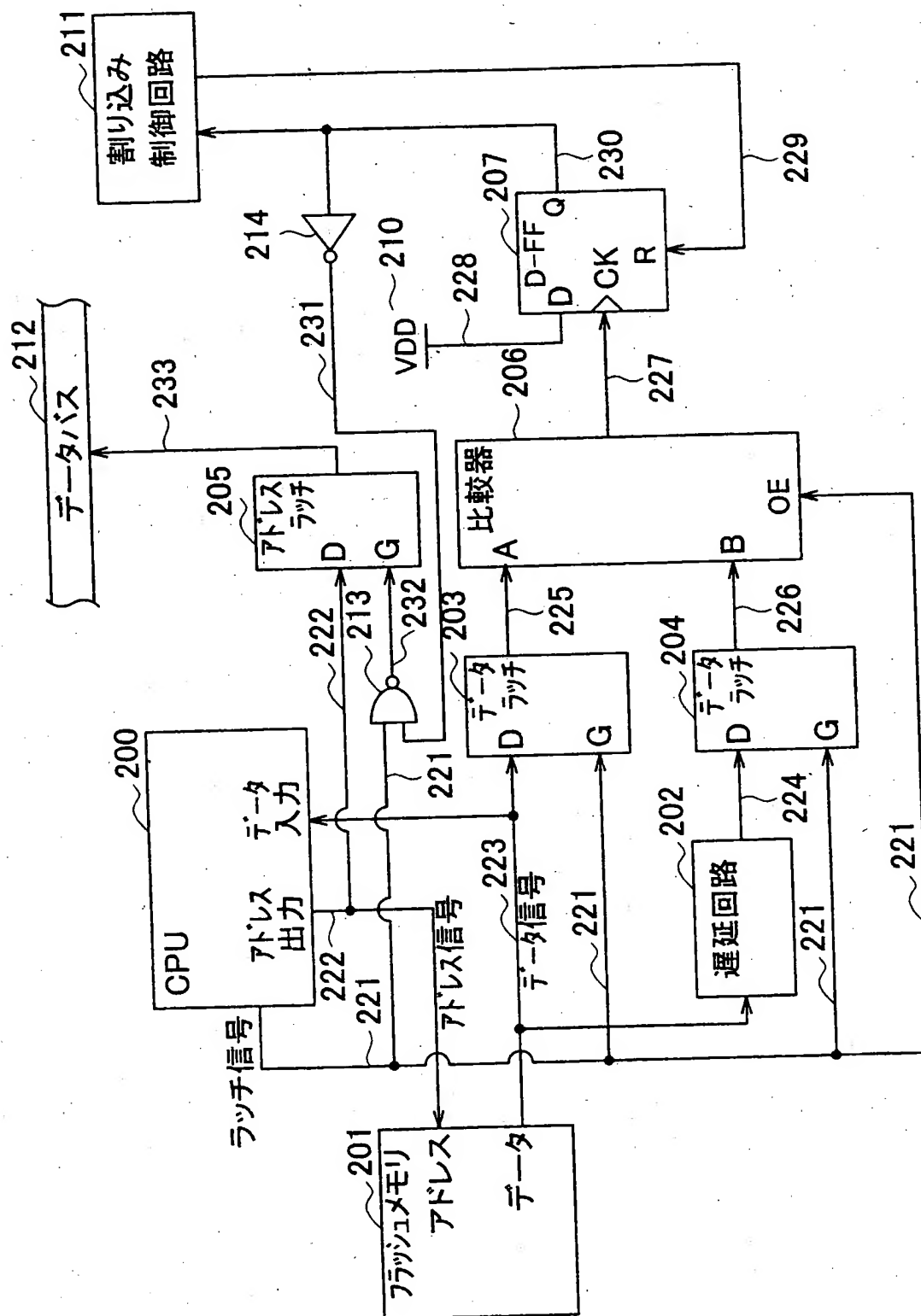
【図2】



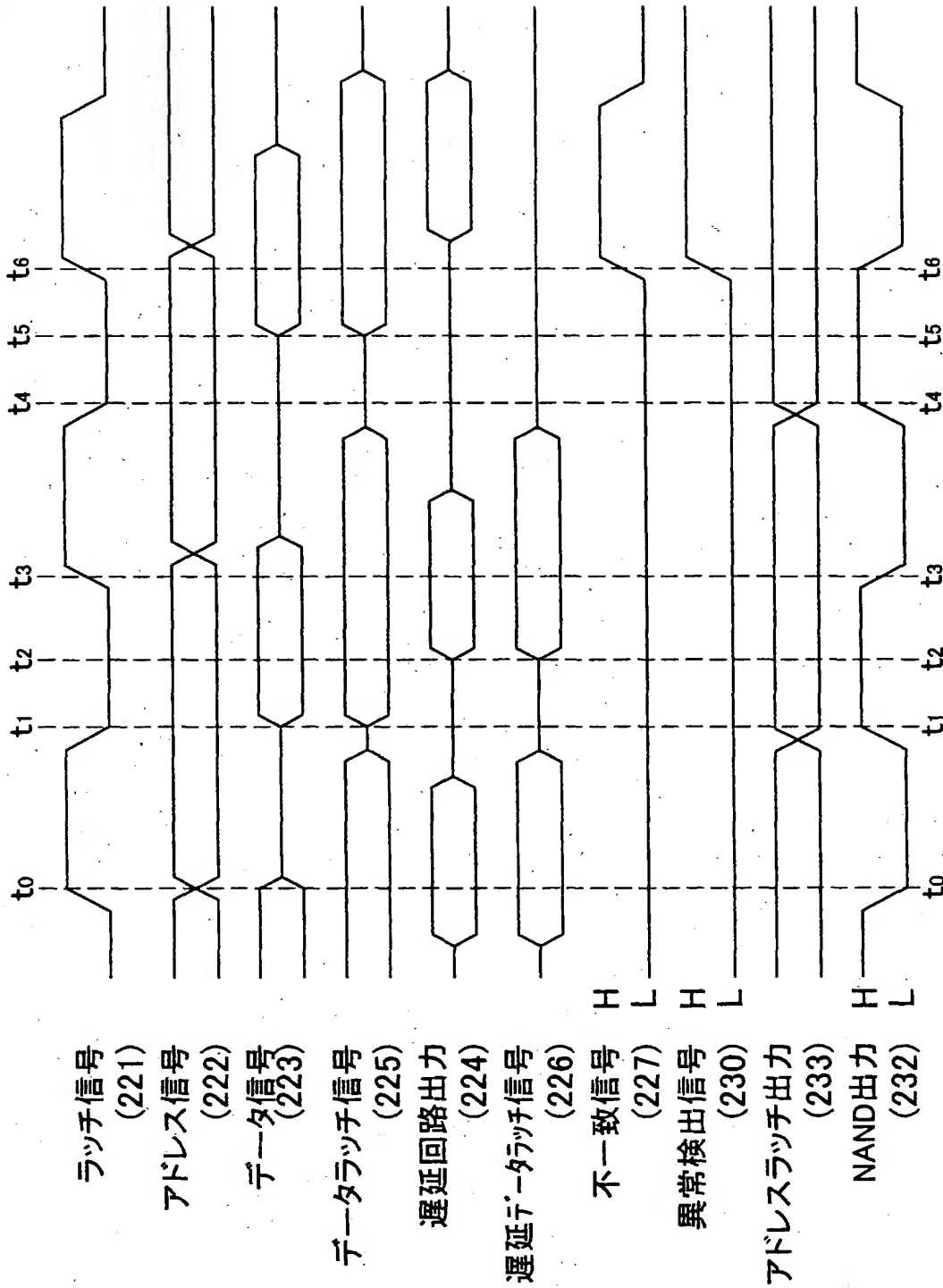
【図 3】



【図4】



【図 5】



【書類名】 要約書

【要約】

【課題】 メモリから誤って出力されたデータによりマイコンなどの集積回路が誤動作を起こす前にメモリの異常動作を検出して、集積回路の信頼性を向上する。

【解決手段】 メモリ 1 0 1 の出力データ 1 2 3 を所定時間遅延して、遅延データ 1 2 4 を出力する遅延回路 1 0 2 と、メモリ 1 0 1 の出力データ 1 2 3 と遅延データ 1 2 4 とを比較して、不一致の場合に不一致信号 1 2 7 を出力する比較回路 1 0 6 とを含むことを特徴とするメモリの異常動作検出回路。不一致が発生した際のアドレス情報を保持する回路、CPU への割り込み信号を出力する割り込み制御回路 2 1 1、遅延データの遅延時間の調整手段などをさらに含んでもよい。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号

[000000295]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 東京都港区虎ノ門1丁目7番12号

氏 名 沖電気工業株式会社